

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-273330

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/76

(21)Application number : 06-063748

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1994

(72)Inventor : AKASAKA YASUSHI

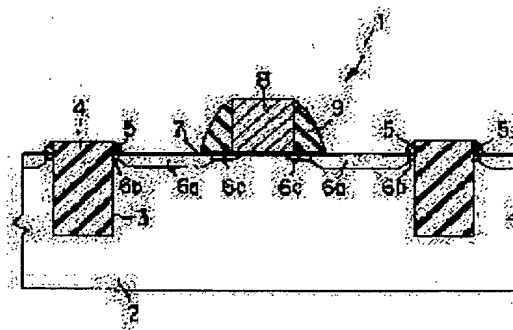
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device having a highly reliable isolation property and a manufacturing method thereof.

CONSTITUTION: The title semiconductor device is provided with a semiconductor substrate 2, an isolation region 4 buried in a groove formed in the substrate 2 and is formed of an insulator projecting from a surface of a semiconductor substrate, source/drain regions 6a, 6b, 6c spaced apart in an element region isolated by the isolation region 4, a gate electrode 8 formed in a surface of an element region held between source/drain regions having a gate insulation film 7 between and a side wall layer 5 formed in a side surface of a part projecting from a substrate surface of the isolation region 4. The source/drain region 6b in a part positioned in contact with the isolation region 4 and below a side wall layer is shallower than the source/drain region in a part excepting the above part.

BEST AVAILABLE COPY



LEGAL STATUS

[Date of request for examination] 24.02.2000

[Date of sending the examiner's decision of rejection] 08.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273330

(43) 公開日 平成7年(1995)10月20日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78
21/336
21/76

H 0 1 L 29/ 78 3 0 1 L
21/ 76 L

審査請求 未請求 請求項の数4 OL (全 9 頁)

(21) 出願番号 特願平6-63748

(22) 出願日 平成6年(1994)3月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 赤坂 泰志

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

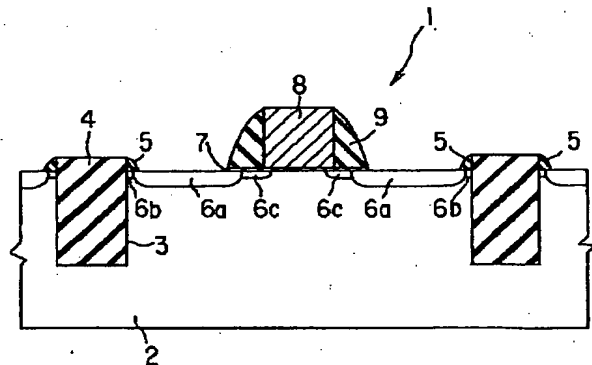
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】信頼性の高い素子分離特性を有する半導体装置およびその製造方法を提供する。

【構成】半導体基板(2)、この基板に形成された溝に埋め込まれるとともに、半導体基板の表面から突出する絶縁物からなる素子分離領域(4)、前記素子分離領域により分離された素子領域に離間して形成されたソース・ドレイン領域(6)、前記ソース・ドレイン領域に挟まれた素子領域の表面にゲート絶縁膜(7)を介して形成されたゲート電極(8)、および、前記素子分離領域の前記基板表面から突出する部分の側面に形成された側壁層(5)を具備する半導体装置である。素子分離領域に接しかつ前記側壁層の下に位置する部分のソース・ドレイン領域(6b)の深さは、それ以外の部分のソース・ドレイン領域の深さより浅い。



【特許請求の範囲】

【請求項 1】 半導体基板と、

この基板に形成された溝に埋め込まれるとともに、半導体基板の表面から突出する絶縁物からなる素子分離領域と、
前記素子分離領域により分離された素子領域に離間して形成されたソース・ドレイン領域と、
前記ソース・ドレイン領域に挟まれた素子領域の表面にゲート絶縁膜を介して形成されたゲート電極と、
前記素子分離領域の前記基板表面から突出する部分の側面に形成された側壁層とを具備し、前記素子分離領域に接しかつ前記側壁層の下に位置する部分のソース・ドレイン領域の深さは、それ以外の部分のソース・ドレイン領域の深さより浅いことを特徴とする半導体装置。

【請求項 2】 半導体基板と、

この基板に形成された溝に埋め込まれるとともに、半導体基板の表面から突出する絶縁物からなる素子分離領域と、
前記素子分離領域により分離された素子領域に離間して形成されたソース・ドレイン領域と、
前記ソース・ドレイン領域に挟まれた素子領域の表面にゲート絶縁膜を介して形成されたゲート電極と、
前記ゲート電極の側面に設けられた絶縁物からなる第 1 の側壁層と、
前記基板表面から突出する素子分離領域の側面に形成された絶縁層からなる第 2 の側壁層と、
前記第 1 および第 2 の側壁層の間に位置するソース・ドレイン領域の表面に形成された金属シリサイド膜とを具備することを特徴とする半導体装置。

【請求項 3】 半導体基板に素子分離領域形成用の溝を形成する工程と、

前記素子分離領域形成用の溝中にその上部が基板表面から突出するように絶縁物を埋め込み、素子分離領域を形成する工程と、

前記素子分離領域により分離された素子領域表面にゲート絶縁膜およびゲート電極を順次形成する工程と、

前記素子分離領域が形成された基板全面に側壁層形成用の膜を成膜し、異方性エッチングを行なうことにより、前記素子分離領域の基板表面から突出する部分の側面に素子分離側壁層を形成する工程と、

前記素子分離側壁層をマスクとして用いて自己整合的に不純物を素子領域内に導入し、素子領域内に拡散層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 4】 半導体基板に素子分離領域形成用の溝を形成する工程と、

前記素子分離領域形成用の溝中にその上部が基板表面から突出するように絶縁物を埋め込み、素子分離領域を形成する工程と、

前記素子分離領域により分離された素子領域表面にゲ

ト酸化膜およびゲート電極を順次形成する工程と、

前記ゲート電極が形成された基板全面に側壁形成用の膜を成膜し、異方性エッチングを行なうことにより、前記ゲート電極の側面および前記素子分離領域の基板表面から突出する部分の側面に、それぞれ絶縁物からなる第 1 および第 2 の側壁層を形成する工程と、

前記第 1 および第 2 の側壁層をマスクとして用いて自己整合的に不純物を素子領域内に導入し、素子領域内に拡散層を形成する工程と、

前記第 1 および第 2 の側壁層の間に位置する拡散層の表面に、自己整合的に金属シリサイド膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置およびその製造方法に係り、特に M I S 型トランジスタの素子分離に関する。

【0002】

【従来の技術】 近年、半導体集積回路は、微細化および高集積化の一途をたどっている。寄生チャネルによる絶縁不良を無くし、配線の寄生容量を小さくするためには、素子間のフィールド領域に厚い酸化膜からなる絶縁膜を形成し、この絶縁膜によって素子間を分離する技術が知られている。

【0003】 この酸化膜の形成にあたっては、シリコン窒化膜をマスクとして用いて、基板表面を選択的に熱酸化する LOCOS 法が一般に用いられてきた。しかしながら、この方法では、酸化膜の端部がマスクであるシリコン窒化膜の下に入り込む、いわゆるパズピークの発生は避けられない。したがって、素子および素子分離領域の微細化に伴って、LOCOS 法では良好な素子分離特性が得られなくなりつつある。この問題を解決するために、最近では、反応性イオンエッチングによりシリコン基板に溝を設けた後、CVD 法等の成膜技術を用いてこの溝内に絶縁物を埋め込むことによって素子分離領域を形成するトレンチ素子分離法が採用されている。

【0004】 この方法を用いて半導体基板に素子分離領域を形成し、さらにゲート絶縁膜を介してゲート電極を形成した状態を、図 7 に示す。図 7 に示すように、p 型ウェル 51 を有する半導体基板 50 にはトレンチ 53 が設けられ、この内部に絶縁物を埋め込んで素子分離領域 54 が形成されている。素子分離領域 51 に挟まれた基板の表面領域には、ソース領域 59、ドレイン領域 60 が形成され、これらのソース・ドレイン領域 59、60 により挟まれたチャネル領域上にゲート絶縁膜 52、およびゲート電極 55 が形成され、これらによって MOS FET が構成されている。このようなトレンチ素子分離法によると、素子および素子分離の微細化に対応でき、また表面の平坦性に優れた半導体装置が得られるという利点も有する。

【0005】

【発明が解決しようとする課題】しかしながら、トレンチ素子分離法を採用した場合、MOSFETを形成する際の洗浄工程における希フッ酸系の処理等によって素子分離領域を構成する絶縁物が侵され、図7(b)に示すように溝のコナ一部が露出してしまうという問題が生じる。このような状態の基板に不純物を導入してソース・ドレインを形成すると、図7(b)のA-B、C-D及びE-F断面に示すように、ソース/ドレイン端での拡散層の深さが深くなってしまふ。特に、A-Bのような断面におけるゲート端では、パンチスルーが発生する恐れがある。

【0006】さらに、このような形状のMOSFETに、ソース・ドレイン領域の低抵抗化のためにSALICIDE(Self Aligned Silicide)工程を適用すると、図8に示すように、拡散層64上に形成された金属シリサイド膜65が素子分離領域63の露出したコナ一部に入り込み、その結果、ソース/ドレイン領域における接合リークが増大するおそれがある。

【0007】上述のように、従来の素子分離技術では、ソース・ドレイン領域と素子分離端との界面における形状の制御が難しく、パンチスルーや接合リークが発生する原因となっていた。そこで、本発明は、良好な素子分離特性、信頼性の高い素子分離領域を有する半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するために、第1の発明は、半導体基板と、この基板に形成された溝に埋め込まれるとともに、半導体基板の表面から突出する絶縁物からなる素子分離領域と、前記素子分離領域により分離された素子領域に離間して形成されたソース・ドレイン領域と、前記ソース・ドレイン領域に挟まれた素子領域の表面にゲート絶縁膜を介して形成されたゲート電極と、前記素子分離領域の前記基板表面から突出する部分の側面に形成された側壁層とを具備し、前記素子分離領域に接しかつ前記側壁層の下に位置する部分のソース・ドレイン領域の深さは、それ以外の部分のソース・ドレイン領域の深さより浅いことを特徴とする半導体装置を提供する。

【0009】第1の発明の半導体装置において、素子分離領域と基板との段差の高さ、および素子分離領域の側面に形成される素子分離側壁層の膜厚は、適宜選択することができるが、例えば段差の高さは、50~200nm程度であり、素子分離側壁層の膜厚は、少なくとも段差の高さに対して0.5~2倍程度であることが好ましい。

【0010】側壁層の材質としては、SiN、SiO₂、多結晶シリコン等を使用することができる。なお、この第1の発明の半導体装置においては、ゲート電極の

側面にも絶縁物からなる側壁層を形成してもよい。この場合には、ゲート側壁層と素子分離側壁層を異なる幅に形成することによって、素子の特性からくる要請と、素子分離の特性からくる要請とをそれぞれ満たすように最適化することができる。

【0011】また、第2の発明は、半導体基板と、この基板に形成された溝に埋め込まれるとともに、半導体基板の表面から突出する絶縁物からなる素子分離領域と、前記素子分離領域により分離された素子領域に離間して形成されたソース・ドレイン領域と、前記ソース・ドレイン領域に挟まれた素子領域の表面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の側面に設けられた絶縁物からなる第1の側壁層と、前記基板表面から突出する素子分離領域の側面に形成された絶縁層からなる第2の側壁層と、前記第1および第2の側壁層の間に位置するソース・ドレイン領域の表面に形成された金属シリサイド膜とを具備することを特徴とする半導体装置を提供する。

【0012】第2の発明の半導体装置においては、ゲート電極の側面に形成される絶縁物からなる第1の側壁層の膜厚は、適宜選択することができ、例えば50~200nmとすることができる。

【0013】また、素子分離領域と基板との段差、および素子分離領域の側面に形成される第2の側壁層である素子分離側壁層の膜厚は、第1の発明の半導体装置と同様に適宜選択することができるが、好ましくは段差は、50~200nm程度であり、素子分離側壁層の膜厚は、少なくとも段差の高さに対して0.5~2倍程度であることが好ましい。

【0014】金属シリサイド膜を構成する金属としては、遷移金属、例えば、Ti、Ni、Crのような高融点金属が挙げられる。拡散層の表面に金属シリサイド膜を形成することによって、拡散層の抵抗を減少させることができる。

【0015】また、第3の発明は、半導体基板に素子分離領域形成用の溝を形成する工程と、前記素子分離領域形成用の溝中にその上部が基板表面から突出するように絶縁物を埋め込み、素子分離領域を形成する工程と、前記素子分離領域により分離された素子領域表面にゲート絶縁膜およびゲート電極を順次形成する工程と、前記素子分離領域が形成された基板全面に側壁層形成用の膜を成膜し、異方性エッチングを行なうことにより、前記素子分離領域の基板表面から突出する部分の側面に素子分離側壁層を形成する工程と、前記素子分離側壁層をマスクとして用いて自己整合的に不純物を素子領域内に導入し、素子領域内に拡散層を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0016】この第3の発明においては、前記ゲート電極をマスクとして用いて、自己整合的に不純物を素子領域内に導入し、素子領域内に拡散層(第1の拡散層)を

形成してもよい。この場合には、その後、前記素子分離領域側壁層を形成する工程を行ない、さらにこの素子分離側壁層をマスクとして用いて自己整合的に不純物を素子領域内に導入し、素子領域内に前記第1の拡散層より深い拡散層（第2の拡散層）を形成する工程を行なうことか好ましい。

【0017】さらに、第4の発明は、半導体基板に素子分離領域形成用の溝を形成する工程と、前記素子分離領域形成用の溝中にその上部が基板表面から突出するように絶縁物を埋め込み、素子分離領域を形成する工程と、前記素子分離領域により分離された素子領域表面にゲート酸化膜およびゲート電極を順次形成する工程と、前記ゲート電極が形成された基板全面に側壁形成用の膜を成膜し、異方性エッチングを行なうことにより、前記ゲート電極の側面および前記素子分離領域の基板表面から突出する部分の側面に、それぞれ絶縁物からなる第1および第2の側壁層を形成する工程と、前記第1および第2の側壁層をマスクとして用いて自己整合的に不純物を素子領域内に導入し、素子領域内に拡散層を形成する工程と、前記第1および第2の側壁層の間に位置する拡散層の表面に、自己整合的に金属シリサイド膜を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0018】この第4の発明においては、前記ゲート電極をマスクとして用いて、自己整合的に不純物を素子領域内に導入し、素子領域内にさらに拡散層を形成する工程を行なってもよい。

【0019】なお、ゲート電極の側面の第1の側壁層、および素子分離領域の側面の第2の側壁層は、別々の工程でそれぞれ形成してもよいが、ゲート電極上に絶縁膜を堆積した後、1回の異方性エッチングによって形成することもできる。この場合には、基板表面に露出している材料と側壁層を構成する材料とのエッチング選択比、およびオーバーエッチング量を考慮してエッチングを行なう。

【0020】

【作用】本発明の半導体装置は、素子分離領域を基板表面から突出させ、この突出した部分に側壁層を形成している。このように素子分離領域に側壁層を設けることによって、素子分離領域と基板との接点が保護されるので、希フッ酸系で処理しても素子分離領域は侵されない。

【0021】また、第1の発明の半導体装置は、素子分離側壁層の下に位置し、素子分離領域に接する第1の拡散層の深さを浅くしているので、ゲート端におけるパンチスルーを防止することができる。

【0022】このような構造のMOSFETにシリサイド工程を適用し、拡散層上に金属シリサイド膜を形成した場合には、素子分離領域の側面に側壁層が存在しているので、拡散層上に形成される金属シリサイド膜は素子

分離領域に直接接触することがない。したがって、素子分離端での接合リークを防止することができる。したがって、素子分離が完全となるので、信頼性の高い素子分離領域を得ることができる。

【0023】

【実施例】以下、図面を参照して本発明を詳細に説明する。図1に、本発明の半導体装置の一例を示す。図1に示すように、半導体装置1においては、半導体基板2に設けられた素子分離領域形成用の溝3内に、酸化ケイ素等の絶縁膜4が埋め込まれている。絶縁膜4の上部は、半導体基板2の表面より高くなるように形成されており、これによって得られた段差部には、素子分離側壁層5が形成されている。素子分離領域の間には、拡散層6a, b, cが互いに電氣的に分離して形成され、2つの拡散層に挟まれた基板の表面には、ゲート酸化膜7を介してゲート電極8が設けられている。ゲート電極の側面にはSiNからなるゲート側壁層9が形成されており、素子分離側壁層5およびゲート側壁層9の下に存在する拡散層6bおよび6cは、これらの間にある拡散層6aよりその深さが浅い。

【0024】このように、素子分離領域4の上面を基板2の表面より高く構成し、さらに、素子分離領域の側面に側壁層5を形成することによって、素子分離領域4と拡散層6との接合面を保護することができる。

【0025】次に、図面を参照して、本発明の半導体装置の製造方法を説明する。図2～図5に、製造工程を表わす断面図を示す。まず、図2(a)に示すように、n型シリコン基板10表面に、不純物としてのBを $10^{17}/\text{cm}^3$ の濃度でイオン注入により導入し、深さ $1\mu\text{m}$ 程度のp型ウェル11を形成した。p型ウェル11が形成された基板10の上に、 $10\mu\text{m}$ 程度の熱酸化膜12を形成し、さらに膜厚 50nm 程度の多結晶シリコン膜13をCVD法により形成した。多結晶シリコン膜13は、後に素子分離領域を形成するための溝に埋め込まれた絶縁物を、CMP (Chemical Mechanical Polishing) 法を用いてエッチバックする際のストッパーとして作用する。また、熱酸化膜12は、後に多結晶シリコン膜13を除去する際に、基板がエッチングされるのを防止する。

【0026】このような手順で熱酸化膜12および多結晶シリコン膜13が形成された基板10の素子領域を、レジストによりマスクして、RIEを用いてパターンニングし、図2(b)に示すように素子分離領域を形成する部分に、幅 $0.8\mu\text{m}$ 程度、深さ $0.8\mu\text{m}$ 程度の溝14を形成した。

【0027】次いで、CVD法を用いて、厚さ $1\mu\text{m}$ 程度のシリコン酸化膜15を、図2(c)に示すように多結晶シリコン膜13が形成された基板全面に堆積して溝14を埋め込んだ。シリコン酸化膜15を堆積するにあたっては、CVD法以外にも、過飽和の SiO_2 溶液を

用いた液相を用いる方法を採用してもよい。

【0028】なお、溝14に埋め込まれる膜としては、シリコン窒化膜等の他の絶縁膜を用いることもできるが、その場合には、CMPにおけるエッチングストップとの選択比、および後の工程における整合性を十分に考慮することが好ましい。

【0029】続いて、CMP法を用いてシリコン酸化膜15をエッチバックする。この際、多結晶シリコン膜13はストッパーとして作用するので、図3(a)に示すように多結晶シリコン膜13とシリコン酸化膜15との高さが一致するところで研磨を止めることができる。

【0030】次に、CDE (Chemical Dry Etching) 法を用いて多結晶シリコン膜13だけを選択的に除去する。これによって、図3(b)に示すように溝14は、シリコン酸化膜15が基板表面より50~60nmほど出た形で埋め込まれる。

【0031】次に、必要に応じてMOSFETのしきい値を合わせる目的のイオン注入を行なった後、熱酸化膜12を剥離し、約10nmのゲート酸化膜16を熱酸化により成膜した。その後、CVDにより200nmの膜厚で多結晶シリコン膜17を形成し、不純物としてのPを $4 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度で添加した。さらに、スパッタ法により約150nmの膜厚の高融点金属膜18、および約100 μm の膜厚のシリコン酸化膜からなる絶縁膜19を順次成膜した。得られた膜をRIEにより所定の形状に加工し、図3(c)に示すようなゲート電極を形成した。なお、高融点金属膜18としては、Ti、W、Mo等を使用することができ、絶縁膜19としては、シリコン酸化膜、シリコン窒化膜等を使用することができる。また、絶縁膜19は、ゲート電極のキャップとなり、ソース・ドレインを形成する際のイオン注入時に、不純物イオンがチャネル領域に突き抜けることを防止する作用および、高融点金属膜を保護する作用を有する。

【0032】次に、図4(a)に示すように、多結晶シリコン膜17の側面に10nm程度の熱酸化膜20を形成した後、50KeV、 $3 \times 10^{13} \text{ cm}^{-2}$ 程度でAsを基板に導入して、浅いソース・ドレイン領域21を形成する。これは、いわゆるLDD (Lightly Doped Drain) と呼ばれているものであり、このように浅い拡散層は、素子分離領域に接するソース・ドレイン端の電界集中を緩和し、素子の信頼性を向上させることができる。また、多結晶シリコン膜17の側面に熱酸化膜20を形成することによって、電界集中を緩和し、CMOSを形成する場合にイオン注入のマスクとなるレジストからの汚染を防止することができる。

【0033】なお、ここでは、ゲート電極として不純物を添加した多結晶シリコン膜、高融点金属膜、および絶縁膜を積層したものを用いたが、不純物を添加した多結晶シリコン膜を単層で用いることもできる。また、不純

物を添加した多結晶シリコン膜とTi、W、及びMo等の高融点金属のシリサイド膜を積層したものを使用してもよい。

【0034】次に、図4(b)に示すように、CVDによりシリコン窒化膜22を150nm程度で全面に堆積した後、異方性エッチングを行なって、図4(c)に示すようにゲート側壁層23を形成する。なお、全面に堆積して後にゲート側壁層23となる膜としては、異方性エッチングの際に、素子分離領域を形成するシリコン酸化膜15、および熱酸化膜12と選択比の大きい材料を選択することが好ましい。

【0035】次に、図5(a)に示すようにCVDによりシリコン窒化膜24を50nm程度の膜厚で全面に堆積し、異方性エッチングを行なうことにより、図5(b)に示すように素子分離側壁層25を形成する。

【0036】次に、例えば、40KeV、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度のAsを基板に導入して、図5(c)に示すようにソース・ドレイン領域26を形成する。以上の工程により、素子分離側壁層25およびゲート側壁層23を有し、素子分離領域に接するソース・ドレイン領域の深さが浅い半導体装置が得られる。素子分離側壁層の幅、素子分離側壁層の下に存在する浅いソース・ドレイン領域の濃度および深さ、および素子分離側壁層形成後に不純物を導入して形成されたソース・ドレイン領域の深さ等は、素子分離耐圧及びリーク特性等を決定する要因となる。

【0037】なお、上述の例で示した半導体装置においては、ゲート電極の側面にも側壁層23が形成されているので、この下に位置するソース・ドレイン領域の深さも、素子分離側壁層25の下と同様に浅くなる。ゲート側壁層の幅、ゲート側壁層の下に存在する浅いソース・ドレイン領域の濃度および深さ、および素子分離側壁層形成後に不純物を導入して形成されたソース・ドレイン領域の深さ等によって、ショートチャネル効果、電流駆動力、およびパンチスルー耐圧等が決定される。

【0038】上述の例においては、素子分離側壁層とゲート側壁層とを、同種の材料を用いてそれぞれ別工程で形成したが、これらの2つの側壁層は、一回の工程で形成してもよい。この場合には、まず基板表面からの高さの比を適切に選択して、ゲートおよび素子分離領域を形成した後、基板表面に露出している材料と、側壁層の材料とのエッチング選択比、およびオーバーエッチング量を考慮して異方性エッチングを行なう。また、上記2つの側壁層は、別種の材料を用いて形成してもよい。例えば、窒化シリコンの代わりに酸化シリコン (CVD法で形成したもの等)、多結晶シリコン等を用いることが可能である。

【0039】なお、上述の例においては、n型MOSFETを例に挙げて説明したが、p型MOSFETについても、基板および不純物の導電型をそれぞれ逆にするだ

けで同様の方法により製造することができる。

【0040】図6に、本発明の製造方法を用いて形成された半導体装置を他の例を示す。図6に示す半導体装置29は、ソース・ドレインの拡散層41を低抵抗化するために、SALICIDE工程を適用してソース・ドレイン41上に金属シリサイド膜42が形成されている。

【0041】図示するように、素子分離側壁層39が予め形成されているので、金属シリサイド膜42は、素子分離領域33から離れて形成される。したがって、素子分離端に発生するリークを防ぐことができる。

【0042】なお、半導体装置29の製造にあたっては、まず、上述の図2(a)～図4(a)に示したものと同様の工程によって、基板内に素子分離領域33を形成した後、ゲート絶縁膜32を介してゲート電極34、35等を形成し、不純物を基板内に導入した。次に、シリコン窒化膜を全面に堆積して1回の異方性エッチングを行なうことにより、ゲート側壁層38および素子分離側壁層39を形成した後、これらをマスクとして用いて不純物を導入し、拡散層41を形成した。さらに、拡散層41の表面に30nmのTiをスパッタ法により形成した後、750℃程度のRTA(Rapid Thermal Annealing)による熱処理を行なって自己整合的に金属シリサイド膜42を形成した。その後、未反応のTiを $H_2SO_4 + H_2O_2$ または $NH_3 + H_2O_2 + H_2O$ 等の溶液で選択的に剥離した。

【0043】このように、SALICIDE工程を行なう場合、ソース・ドレインとゲートとの導通を防止するため、ゲート側壁層38および素子分離側壁層39は、SiN、SiO₂等の絶縁膜でなければならない。

【0044】なお、上述の例においては、素子分離側壁層とゲート側壁層とは別工程で形成することもできる。また、別種の材料を用いて形成してもよい。その他、本発明の要旨を逸脱しない範囲で種々変形して実施可能である。

【0045】

【発明の効果】以上説明したように、本発明によれば、埋め込み型の素子分離領域の上面が、基板表面より高くなるように素子分離領域を形成し、この素子分離領域の側面に側壁層を形成することによって、素子分離領域とこれに接する拡散層との境界を保護することできる。このため、素子分離端に空隙が生じるのを防止し、接合リークの発生を抑制することができる。また、素子分離領域に接し、側壁層の下に位置する拡散層の深さをそれ以外の部分より浅くしているので、素子のパンチスルー耐圧の劣化を防止することが可能である。したがって、信頼性の高く安定した素子分離特性を有する半導体装置を得ることができる。このように良好な素子特性は、半導体装置の性能をさらに向上させるものであり、その産業上の利用効果は絶大である。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置を示す断面図。

【図2】本発明の第1の実施例の半導体装置の製造工程を示す断面図。

【図3】本発明の第1の実施例の半導体装置の製造工程を示す断面図。

【図4】本発明の第1の実施例の半導体装置の製造工程を示す断面図。

【図5】本発明の第1の実施例の半導体装置の製造工程を示す断面図。

【図6】本発明の第2の実施例の半導体装置を示す断面図。

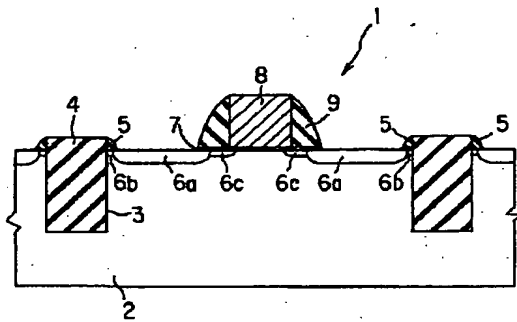
【図7】従来の埋め込み型素子分離領域の断面形状を示す図。

【図8】従来の埋め込み素子分離にSALICIDE(self aligned silicide)工程を適用した際の素子分離端の断面を示す拡大図。

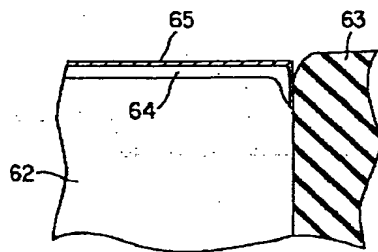
【符号の説明】

1…半導体装置、2…基板、3…トレンチ、4…素子分離領域
5…素子分離側壁層、6…拡散層、7…ゲート酸化膜、
8…ゲート電極
9…ゲート側壁層、10…基板、11…p型ウェル、12…熱酸化膜
13…多結晶シリコン膜、14…トレンチ、15…シリコン酸化膜
16…ゲート酸化膜、17…多結晶シリコン膜、18…高融点金属膜
19…絶縁膜、20…熱酸化膜、21…浅い拡散層
22…多結晶シリコン膜、23…ゲート側壁層、24…シリコン窒化膜
25…素子分離側壁層、26…拡散層、29…半導体装置、30…基板
31…p型ウェル、32…ゲート絶縁膜、33…素子分離領域
34…多結晶シリコン膜、35…高融点金属膜、36…絶縁膜
37…熱酸化膜、38…ゲート側壁層、39…素子分離側壁層
40…浅い拡散層、41…拡散層、42…金属シリサイド膜、50…基板
51…p型ウェル、52…ゲート絶縁膜、53…トレンチ
54…素子分離領域、55…ゲート電極、56…絶縁膜、57…ゲート側壁層
58…拡散層、59…ソース領域、60…ドレイン領域、62…基板
63…素子分離領域、64…拡散層、65…金属シリサイド膜。

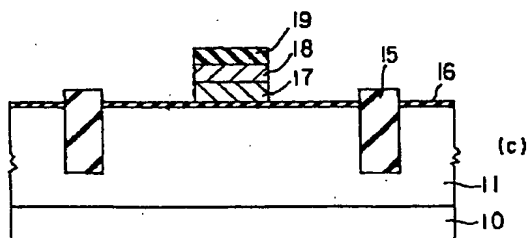
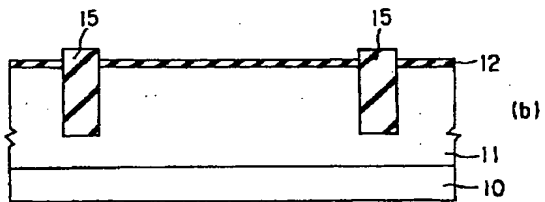
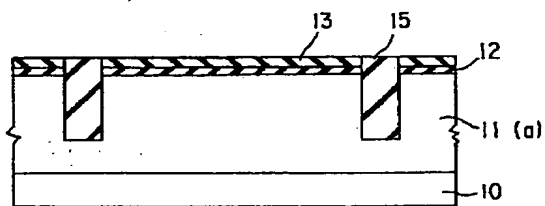
【図 1】



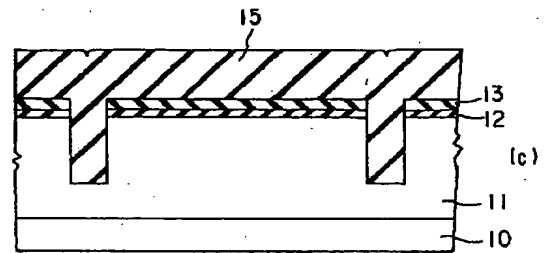
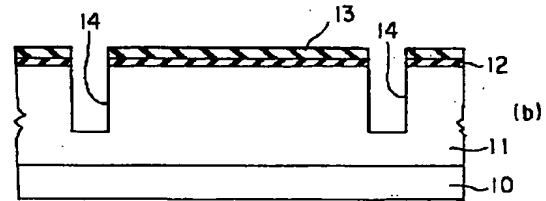
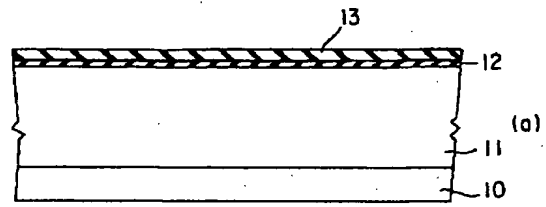
【図 8】



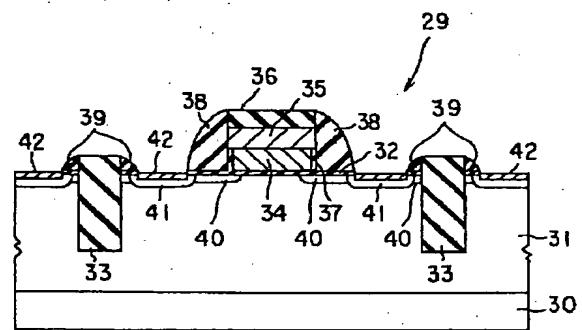
【図 3】



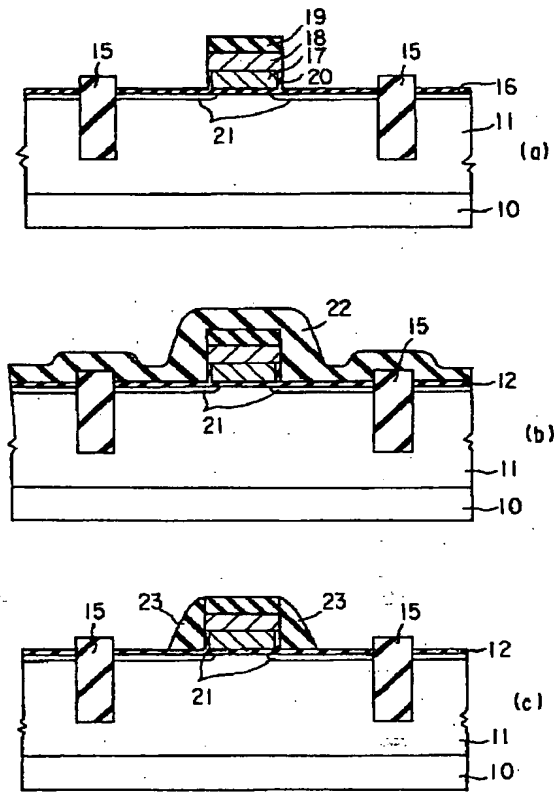
【図 2】



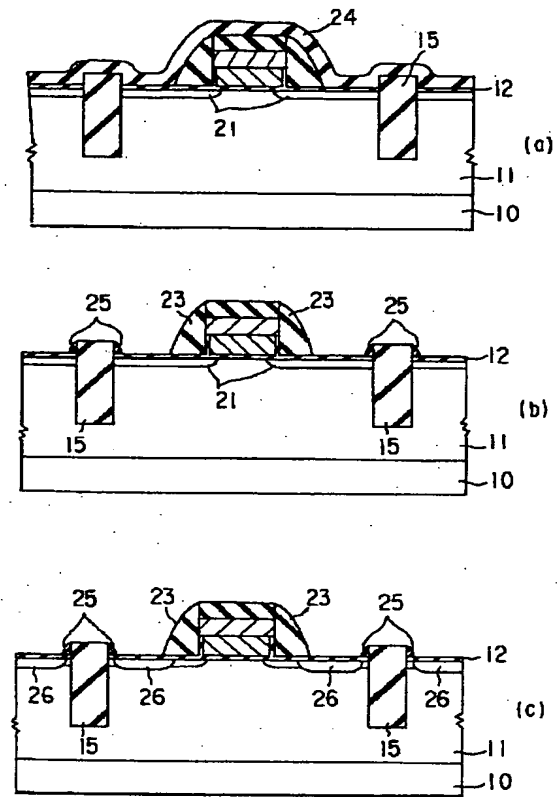
【図 6】



【図4】



【図5】



【図 7】

